

整理番号 2024M-348

補助事業名 2024年度公設工業試験研究所等が主体的に取り組む共同研究 補助事業

補助事業者名 (地独) 神奈川県立産業技術総合研究所

## 1 補助事業の概要 [https://www.kistec.jp/r\\_and\\_d/keijo\\_result/#22](https://www.kistec.jp/r_and_d/keijo_result/#22)

### (1) 事業の目的

これまで、ムーアの法則に沿った微細化が行われている半導体分野において、設計コストの増大からデバイスを縦方向に積層実装し、デバイスの信頼性担保と高性能化を可能とする3次元積層実装や2.5次元積層実装が行われている。

また、現在のCPU等は主に5-6GHzで使用され、半導体企業から高周波化(10GHz)による高性能化が求められている。そのため、高周波化が実現可能な低誘電率、低誘電正接の有機材料が注目されており、CPU-メモリ間を繋ぐインターポーザへの適用が望まれている。

このような状況の中、日本には材料メーカーや装置メーカーが複数存在するが、評価用TEGの調達は容易ではなく、TEGの研究開発も求められている。

そこで、これらを実現するため、本事業において、次世代半導体に向けた有機インターポーザ開発用TEGを開発する。

本事業を実施し、その成果を提供することにより、材料メーカー、装置メーカー、関連企業の技術、製品開発に貢献する。

### (2) 実施内容

#### ・サンプル作製技術

有機インターポーザ作製のため、15 $\mu$ m幅の配線パターンを持つ既存のフォトマスクを利用し、配線形成のプロセス検討を実施した。

レジスト塗布を行ったシリコンウェハに対し、既存のフォトマスクを利用し、i線露光機を用いて露光後、現像を実施した結果、3 $\mu$ m幅までパターンニングができることを確認した。しかし、スパッタ法により、RDLの1層目に相当するSi上でTi:20nm/Au:500nmで作製した配線パターンについては正常に形成されたが、2層目以降に相当するレジスト上の金属膜については密着性の改善が必要となった。

今後、めっき法などのプロセス開発を実施していく予定である。

#### ・電磁界シミュレーション

有機インターポーザ開発用TEGを実現するため、Ansys HFSSを使用した電磁界シミュレーションによって、事前にクロストークの解析を実施した。このシミュレーションの際には、配線幅15 $\mu$ m、配線長1mmとし、ノイズの影響を最大とするために実際の配線形成で最小線幅であった3 $\mu$ mピッチでCPW(コプレーナ線路)とCPWG(グランド付

きコプレーナ線路)の比較を行った。その結果、周波数10GHzまでの範囲では、CPWGがNEXT(近端クロストーク)とFEXT(遠端クロストーク)ともに-20dBを超えたもののCPWGではNEXTとFEXTともに-20dBを越えないことがわかった。これにより一般的なCPWGを使用すれば20 $\mu$ mから55 $\mu$ mピッチ、クロストーク20dB以下(10GHzまで)が実現できることが分かった。

・フォトマスクの設計

伝送路とクロストーク評価用のフォトマスクを設計した。フォトマスクにおいては15 $\mu$ m幅(長さ1mm)等の伝送路とともに半導体メーカーから得た情報から、より微細な6 $\mu$ m幅、5 $\mu$ m幅、2 $\mu$ m幅、1 $\mu$ m幅の配線パターンも準備した。今後作成を予定しているTEGについては、配線作製プロセスの見直しとともに、実施予定である。

## 2 予想される事業実施効果

2024年度JKA補助事業によってフォトマスクの設計までは完了することができた。今後は、この設計によりフォトマスクを作製し、今年度から化学関連企業が開発中のRDL用フォトレジストの検証をしていくことになった。

## 3 補助事業に係る成果物

・伝送路とクロストーク評価用のフォトマスク

フォトリソグラフィやグランド付きコプレーナ線路の評価が実施可能。

(2)(1)以外で当事業において作成したもの

特になし

## 4 事業内容についての問い合わせ先

団体名： 地方独立行政法人神奈川県立産業技術総合研究所

(カナガワケンリツサンギョウギジュツソウゴウケンキュウシヨ)

住所： 〒243-0435

神奈川県海老名市下今泉705-1

代表者： 理事長 北森 武彦 (キタモリ タケヒコ)

担当部署： 電子技術部 (デンシギジュツブ)

担当者名： 主任研究員 根本 俊介 (ネモト シュンスケ)

電話番号： 046-236-1500

F A X： 046-236-1525

E-mail： s-nemoto@kistec.jp

U R L： <https://www.kistec.jp/>